

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP8203863

Publication date: 1996-08-09

Inventor(s): TAKEDA YASUHIRO

Applicant(s): SANYO ELECTRIC CO LTD

Requested Patent: JP8203863

Application Number: JP19950007336 19950120

Priority Number(s):

IPC Classification: H01L21/3065; C23F4/00; H01L21/304; H01L21/76

EC Classification:

Equivalents:

Abstract

PURPOSE: To form a trench with a high aspect ratio with a high throughput.

CONSTITUTION: NF3 is used as an etching gas in an RIE device and silicon wafer 6 is etched with a side-wall protection film 15 as an etching mask to form a trench 16. At this time, since the side-wall protection film 15 is formed on the inner walls of openings 13a and 14, the anisotropy of ion can be secured, thus forming a trench 16 with a high aspect ratio vertically to the silicon wafer 6. Also, by reducing high-frequency power, the shock force of ion entering the silicon wafer 6 can be reduced, thus preventing the silicon wafer 6 from being damaged. Also, no C is contained in NF3 , thus preventing SiC from being generated as a reaction product and element isolation characteristics of the trench 16 from deteriorating due to SiC.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203863

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. [®]	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/3065				
C 23 F 4/00	C			
H 01 L 21/304	3 4 1	D		
			H 01 L 21/302 21/ 76	J L
審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平7-7336

(22) 出願日 平成7年(1995)1月20日

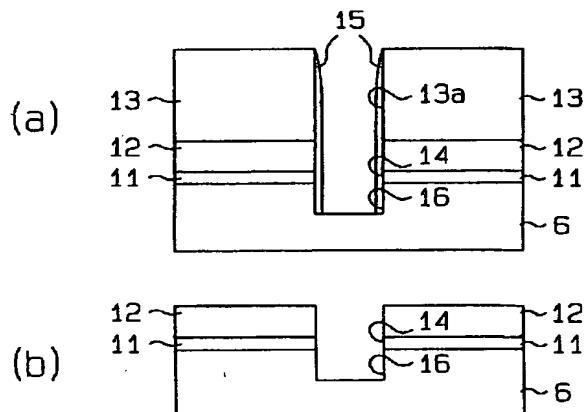
(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 武田 安弘
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 アスペクト比の高いトレンチを高いスループットで形成する。

【構成】 RIE装置でエッティング用ガスにNF₃を用い、側壁保護膜15をエッティングマスクとしてシリコンウェハ6をエッティングしてトレンチ16を形成する。このとき、各開口部13a, 14の内壁には側壁保護膜15が形成されているため、イオンの異方性は確保される。その結果、シリコンウェハ6に対して垂直でアスペクト比の高いトレンチ16を形成することができる。また、高周波電力を低くすれば、シリコンウェハ6に入射されるイオンの衝撃力は小さくなり、シリコンウェハ6にダメージが生じることはない。また、NF₃にはCが含まれていないため、反応生成物としてSiCが生じることはなく、SiCによってトレンチ16の素子分離特性が劣化する恐れはない。



1

【特許請求の範囲】

【請求項1】 反応性イオンエッティングにおけるガス圧力および高周波電力を調整してイオンのエネルギーを調節する工程を備えた半導体装置の製造方法。

【請求項2】 シリコン層上に絶縁膜を形成する工程と、

反応性イオンエッティングを用いて絶縁膜をエッティングする工程と、

その工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用いてシリコン層をエッティングする工程とを備えた半導体装置の製造方法。 10

【請求項3】 シリコン層上に絶縁膜を形成する第1の工程と、

絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングする第3の工程と、

第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用いてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えた半導體装置の製造方法。 20

【請求項4】 シリコン層上に絶縁膜を形成する第1の工程と、

絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングする第3の工程と、

第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用い、第3の工程でフォトレジスト膜および絶縁膜の開口部の側壁に形成された反応生成物からなる側壁保護膜をエッティング用マスクとしてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えた半導体装置の製造方法。 30

【請求項5】 シリコン層上に少なくともシリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する第1の工程と、

絶縁膜上に所望の形状の開口部が形成されたフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングして開口部を形成し、シリコン層を露出させる第3の工程と、

第3の工程と同一のガス系のエッティング用ガスを使用し、第3の工程よりもガス圧力および高周波電力を低く設定した反応性イオンエッティングを用い、第3の工程でフォトレジスト膜および絶縁膜の開口部の側壁に形成された反応生成物からなる側壁保護膜をエッティング用マスクとしてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えた半導体装置の製造方法。 40

【請求項6】 シリコン層上に絶縁膜を形成する工程と、

反応性イオンエッティングを用い、絶縁膜をエッティングしてコンタクトホールを形成する工程と、
その工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用い、コンタクトホール内のシリコン層のダメージを回復させる第4の工程とを備えた半導体装置の製造方法。

【請求項7】 シリコン層上に絶縁膜を形成する第1の工程と、

絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングしてコンタクトホールを形成し、シリコン層を露出させる第3の工程と、

第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用い、コンタクトホールの底部に露出したシリコン層のダメージを回復させる第4の工程とを備えた半導体装置の製造方法。

【請求項8】 シリコン層上に少なくともシリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する第1の工程と、

絶縁膜上に所望の形状の開口部が形成されたフォトレジスト膜を形成する第2の工程と、

反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングしてシリコン層とコンタクトするコンタクトホールを形成し、シリコン層を露出させる第3の工程と、

第3の工程と同一のガス系のエッティング用ガスを使用し、第3の工程よりもガス圧力および高周波電力を低く設定した反応性イオンエッティングを用い、コンタクトホールの底部に露出したシリコン層のダメージを回復させる第4の工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、詳しくは、シリコンのエッティング方法に関するものである。

【0002】

【従来の技術】 半導体装置の高集積化は微細加工技術の発展に支えられており、微細加工技術の一翼を担うエッティング技術の進歩は半導体装置のさらなる高集積化を実現するために不可欠である。エッティング技術は、ウェットエッティングとドライエッティングとに大別される。ウェットエッティングは、酸やアルカリなどの溶液を用い、レジストに被覆されていない領域の加工材料を溶解させて除去する方法である。しかし、ウェットエッティングでは、レジストと加工材料の境界に溶液がしみ込むためにレジストに被覆された領域の端部までも除去されることから、3 μm以下の加工寸法に対しては十分な加工精度が得られないという欠点がある。そこで、半導体装置の高集積化に伴い、ウェットエッティングに代えてドライエ

ッティングが用いられるようになってきた。ドライエッチングは、溶液の代わりにガスを用い、ガス中の活性な分子と加工材料の化学反応によって加工材料を除去するか、または、加速したイオンを加工材料に照射して加工材料を物理的に除去する方法である。尚、ドライエッチングには、上記した化学反応による方法を気相中で行うCDE(Chemical Dry Etching)と呼ばれる方法もある。

【0003】ドライエッチングの加工性能を左右するのは反応室の構造とプラズマの発生方式である。現在、半導体装置の製造に広く用いられているドライエッチング装置には、反応性イオンエッチング(RIE: Reactive Ion Etching)装置とCDE装置がある。

【0004】RIE装置は、図6(a)(b)に示すように、真空チャンバ51と、真空チャンバ51内に平行に配置された2枚の円板状の電極52、53と、一方の電極52に接続された高周波電源54およびブロッキングキャパシタ55とから構成される。このようなRIE装置を用いてエッチングを行うには、まず、電極52上にシリコンウェハ56を載置し、次に、真空チャンバ51内に反応性のエッチング用ガス(CHF₃、C₁など)を導入し、続いて、高周波電源54およびブロッキングキャパシタ55によって発生された高周波電力を電極52に印加する。すると、各電極52、53間にプラズマが発生し、プラズマ中のイオンがシリコンウェハ56に対して垂直に入射する。その結果、イオンの衝撃によるスバッタ現象とプラズマ中における活性種の反応によってシリコンウェハ56のエッチングが行われる。

【0005】CDE装置は、図6(c)に示すように、真空チャンバ61と、その真空チャンバ61の上部に設けられたマイクロ波導波管62と、高周波電源63とから構成される。このようなCDE装置を用いてエッチングを行うには、まず、真空チャンバ61内にシリコンウェハ56を載置し、次に、マイクロ波導波管62を介して真空チャンバ61内に反応性のエッチング用ガス(CF₄、+O₂など)を導入し、続いて、高周波電源63によって発生された高周波電力をマイクロ波導波管62に印加する。すると、この部分にプラズマが発生し、それによって生じる中性ラジカルがエッチング用ガスと共に流れシリコンウェハ56上に降り注ぐ。その結果、主に中性ラジカルとシリコンウェハ56の化学的な反応によってエッチングが進行する。尚、シリコンウェハ56への中性ラジカルの入射には方向性がないため、エッチングは等方的に行われる。

【0006】RIE装置ではスバッタ現象によってシリコンウェハ56のエッチングが行われるため、イオンの衝撃によりシリコンウェハ56にダメージが生じる。一方、CDE装置では、シリコンウェハ56がプラズマに直接さらされないため、シリコンウェハ56にダメージが生じることはない。そこで、CDE装置は、RIE装

置によるエッチングで加工材料に生じたダメージを回復させたり、加工材料の表面をクリーニングしたりするのに用いられる。

【0007】図6(a)(b)に示すRIE装置および図6(c)に示すCDE装置を用いてシリコンウェハ56に素子分離用のトレチングを形成する工程を、図7に従って説明する。

【0008】工程1(図7(a)参照)：酸化法またはCVD法を用い、シリコンウェハ(シリコン基板)56上にシリコン酸化膜(SiO₂)71を形成する。次に、CVD法を用い、シリコン酸化膜71上にシリコン窒化膜(Si_xN_y)72を形成する。続いて、シリコン窒化膜72上にフォトリソグラフィ技術を用いて、所望の形状の開口部73aが設けられたレジストマスク73を形成する。

【0009】工程2(図7(b)参照)：図6(a)に示すRIE装置でF系のエッチング用ガス(CHF₃など)を用い、レジストマスク73をエッチングマスクとしてシリコン酸化膜71およびシリコン窒化膜72をエッチングして開口部74を形成し、シリコンウェハ56を露出させる。このとき、各開口部73a、74の内壁には、エッチングによる反応生成物からなる膜75が形成される。

【0010】工程3(図7(c)参照)：アッシングを行い、レジストマスク73および膜75を除去する。工程4(図7(d)参照)：図6(b)に示すRIE装置でC1系のエッチング用ガス(C₁など)を用い、各膜71、72をエッチングマスクとしてシリコンウェハ56をエッチングしてトレチング76を形成する。次に、図6(c)に示すCDE装置でF系のエッチング用ガス(CF₄など)とキャリアガス(O₂など)を用い、工程2におけるRIE装置によるエッチングでトレチング76内に生じたダメージを回復させると共に、トレチング76内に付着している反応生成物をクリーニングする。最後に、化学薬品を用いたウエット処理でトレチング76内に付着している反応生成物をクリーニングすると、トレチング76の製造が完了する。

【0011】

【発明が解決しようとする課題】シリコン酸化膜71およびシリコン窒化膜72のエッチングに用いるF系のエッチング用ガスと、シリコンウェハ56のエッチングに用いるC1系のエッチング用ガスとを1つのRIE装置で混用すると、ガスの給排気に用いるポンプ(図示略)やバルブのメンテナンスに手間がかかる。また、C1系のエッチング用ガスを用いたエッチングを行う際に、F系のエッチング用ガスによる反応生成物が真空チャンバ51の内壁に付着していると、その反応生成物によってエッチングの制御性が低下する。そのため、上記工程2および工程4を1つのRIE装置で行うこととはできない。従って、図6(a)(b)に示す2つのRIE装置

を用意する必要があり、製造設備が大規模になってしまふ。そして、シリコンウェハ56を2つのR.I.E装置にその都度セットする手間をかける分だけ、スループットが低下する。

【0012】また、工程4のトレンチ76の形成では、各膜71、72をエッティングマスクとして用いる。そのため、シリコン酸化膜およびシリコン窒化膜とシリコン単体とでエッティング選択比が大きなC1系のエッティング用ガスを使用する必要がある。しかし、図8(a)に示すように、工程2で露出させたシリコンウェハ56の表面に各膜71、72の残渣81が生じている場合、C1系のエッティング用ガスでは残渣81を除去できない。その結果、工程4では、図8(b)に示すように、残渣81をエッティングマスクとしてシリコンウェハ56のエッティングが進行し、トレンチ76の内部にコーン状のエッティング残渣82が発生する。このようなエッティング残渣82があると、素子分離用のトレンチとしては用をなさなくなる。

【0013】さらに、工程4において、CDE装置によるエッティングは等方的に行われるため、トレンチ76の側壁がエッティングされ、エッティングの制御性が低下する。また、CF₄などのCを含んだエッティング用ガスを用いると、反応生成物としてSiCが生じ、トレンチ76の素子分離特性に悪影響を与える恐れがある。そして、CDE装置を用意する必要があるため製造設備が大規模になる上に、CDE装置によるエッティングを行う分だけ工数が多くなってスループットが低下する。

【0014】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) ダメージの少ないエッティングを行うことが可能な半導体装置の製造方法を提供する。

2) 絶縁膜のエッティングとシリコン層のエッティングとを高いスループットで行うことが可能な半導体装置の製造方法を提供する。

3) 絶縁膜のエッティングとシリコン層のエッティングとを高いスループットで行うと共に、シリコン層に対してダメージの少ないエッティングを行うことが可能な半導体装置の製造方法を提供する。

【0016】4) コンタクトホールの形成とシリコン層のダメージの回復とを高いスループットで行うことが可能な半導体装置の製造方法を提供する。

【0017】
【課題を解決するための手段】請求項1に記載の発明は、反応性イオンエッティングにおけるガス圧力および高周波電力を調整してイオンのエネルギーを調節する工程を備えたことをその要旨とする。

【0018】請求項2に記載の発明は、シリコン層上に絶縁膜を形成する工程と、反応性イオンエッティングを用いて絶縁膜をエッティングする工程と、その工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッ

チングを用いてシリコン層をエッティングする工程とを備えたことをその要旨とする。

【0019】請求項3に記載の発明は、シリコン層上に絶縁膜を形成する第1の工程と、絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングする第3の工程と、第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用いてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えたことをその要旨とする。

【0020】請求項4に記載の発明は、シリコン層上に絶縁膜を形成する第1の工程と、絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングする第3の工程と、第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用い、第3の工程でフォトレジスト膜および絶縁膜の開口部の側壁に形成された反応生成物からなる側壁保護膜をエッティング用マスクとしてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えたことをその要旨とする。

【0021】請求項5に記載の発明は、シリコン層上に少なくともシリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する第1の工程と、絶縁膜上に所望の形状の開口部が形成されたフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングして開口部を形成し、シリコン層を露出させる第3の工程と、第3の工程と同一のガス系のエッティング用ガスを使用し、第3の工程よりもガス圧力および高周波電力を低く設定した反応性イオンエッティングを用い、第3の工程でフォトレジスト膜および絶縁膜の開口部の側壁に形成された反応生成物からなる側壁保護膜をエッティング用マスクとしてシリコン層をエッティングし、トレンチを形成する第4の工程とを備えたことをその要旨とする。

【0022】請求項6に記載の発明は、シリコン層上に絶縁膜を形成する工程と、反応性イオンエッティングを用い、絶縁膜をエッティングしてコンタクトホールを形成する工程と、その工程と同一のガス系のエッティング用ガスを使用する反応性イオンエッティングを用い、コンタクトホール内のシリコン層のダメージを回復させる第4の工程とを備えたことをその要旨とする。

【0023】請求項7に記載の発明は、シリコン層上に絶縁膜を形成する第1の工程と、絶縁膜上にフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングしてコンタクトホールを形成し、シリコン層を露出させる第3の工程と、第3の工程と同一のガス系のエッティング用ガスを使用する反応性イオン

エッティングを行い、コンタクトホールの底部に露出したシリコン層のダメージを回復させる第4の工程とを備えたことをその要旨とする。

【0024】請求項8に記載の発明は、シリコン層上に少なくともシリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成する第1の工程と、絶縁膜上に所望の形状の開口部が形成されたフォトレジスト膜を形成する第2の工程と、反応性イオンエッティングを用い、フォトレジスト膜をエッティング用マスクとして絶縁膜をエッティングしてシリコン層とコンタクトするコンタクトホールを形成し、シリコン層を露出させる第3の工程と、第3の工程と同一のガス系のエッティング用ガスを使用し、第3の工程よりもガス圧力および高周波電力を低く設定した反応性イオンエッティングを用い、コンタクトホールの底部に露出したシリコン層のダメージを回復させる第4の工程とを備えたことをその要旨とする。

【0025】

【作用】請求項1に記載の発明によれば、ガス圧力および高周波電力を調整してイオンのエネルギーを調節することで、イオンの衝撃力を緩和させてダメージの少ないエッティングを行うことができる。

【0026】請求項2～5のいずれか1項に記載の発明によれば、同一の反応性イオンエッティング装置を用いて、絶縁膜のエッティングとシリコン層のエッティングとを連続して行うことができる。

【0027】請求項3～5のいずれか1項に記載の発明によれば、トレンチを形成することができる。請求項4または請求項5に記載の発明によれば、側壁保護膜をエッティング用マスクとして用いることでイオンの異方性を確保することが可能になり、アスペクト比の高いトレンチを形成することができる。

【0028】請求項5に記載の発明によれば、ガス圧力および高周波電力を調整してイオンのエネルギーを調節することで、イオンの衝撃力を緩和させてダメージの少ないエッティングを行うことができる。

【0029】請求項6～8のいずれか1項に記載の発明によれば、同一の反応性イオンエッティング装置を用いて、コンタクトホールの形成とシリコン層のダメージの回復とを連続して行うことができる。

【0030】請求項8に記載の発明によれば、ガス圧力および高周波電力を調整してイオンのエネルギーを調節することで、イオンの衝撃力を緩和させてダメージの回復を効果的に行うことができる。

【0031】

【実施例】以下、本発明を具体化した一実施例を図面に従って説明する。図1に、本実施例で用いられるRIE装置の模式図を示す。RIE装置1は、真空チャンバ2と、真空チャンバ2内に平行に配置された2枚の円板状の電極3、4と、一方の電極3に接続された高周波電源5およびブロッキングキャパシタ7とから構成される。

このRIE装置1を用いてエッティングを行うには、まず、電極3上にシリコンウェハ6を載置し、次に、真空チャンバ2内に反応性のエッティング用ガスを導入し、続いて、高周波電源5およびブロッキングキャパシタ7によって発生された高周波電力を電極3に印加する。すると、各電極3、4間にプラズマが発生し、プラズマ中のイオンがシリコンウェハ6に対して垂直に入射する。その結果、イオンの衝撃によるスバッタ現象とプラズマ中における活性種の反応とによってシリコンウェハ6のエッティングが行われる。ここで、RIE装置1では、反応性のエッティング用ガスとしてCH₄とNF₃の2つのガス系を切り換えて真空チャンバ2内に導入することができる。

【0032】次に、RIE装置1を用いてシリコンウェハ6に素子分離用のトレンチを形成する工程を、図2および図3に従って説明する。

工程1(図2(a)参照)：酸化法またはCVD法を用い、シリコンウェハ(シリコン基板)6上にシリコン酸化膜(SiO₂)11を形成する。次に、CVD法を用い、シリコン酸化膜11上にシリコン窒化膜(Si,N_x)12を形成する。続いて、シリコン窒化膜12上にフォトレジストを塗布し、フォトリソグラフィ技術を用いて、所望の形状の開口部13aが設けられたレジストマスク13を形成する。

【0033】工程2(図2(b)参照)：RIE装置1でエッティング用ガスとしてCH₄を用いると共にキャリアガスとしてArを用い、レジストマスク13をエッティングマスクとしてシリコン酸化膜11およびシリコン窒化膜12をエッティングして開口部14を形成し、シリコンウェハ6を露出させる。ここで、エッティング条件は、ガス圧力；50mTorr(6650mpa)、高周波(RF)電力；2W/cm²、周波数；13.56MHz、ガス流量比；CH₄ : Ar = 1 : 2、エッティング速度；2000Å/minである。このとき、各開口部13a、14の内壁には、エッティングによる反応生成物からなる側壁保護膜15が形成される。

【0034】工程3(図3(a)参照)：RIE装置1でエッティング用ガスをNF₃に切り換え、側壁保護膜15をエッティングマスクとしてシリコンウェハ6をエッティングしてトレンチ16を形成する。ここで、エッティング条件は、ガス圧力；20mTorr(2660mpa)、高周波電力；0.15W/cm²、周波数；13.56MHz、ガス流量比；NF₃ : Ar = 1 : 5、エッティング速度；500Å/minである。

【0035】このとき、各開口部13a、14の内壁には側壁保護膜15が形成されていることに加え、真空チャンバ2内の圧力が低いため、シリコンウェハ6に対するイオンの異方性は確保される。その結果、シリコンウェハ6に対して垂直でアスペクト比の高いトレンチ16を形成することができる。

【0036】そして、CHF_xとNF_yは共にF系のエッティング用ガスである。そのため、CHF_xとNF_yとを1つのRIE装置で混用しても、ガスの給排気に用いるポンプ（図示略）やバルブに特別なメンテナンスを施す必要はない。また、NF_yを用いてエッティングを行際に、CHF_xによる反応生成物が真空チャンバ2の内壁に付着していても、その反応生成物によってエッティングの制御性が低下することはない。従って、本実施例によれば、上記工程2および工程3を1つのRIE装置1で行うことができ、製造設備が大規模になることはない。また、RIE装置1にシリコンウェハ6を一度セットすれば2つの工程2、3を連続して行うことができるため、スループットを向上させることができる。

【0037】また、NF_yは、シリコン酸化膜およびシリコン窒化膜とシリコン単体とでエッティング選択性をほとんどもたない。そのため、図8(a)に示すように、工程2で露出させたシリコンウェハ6の表面に各膜11、12の残渣81が生じている場合でも、工程3におけるNF_yを用いたエッティングで残渣81を除去することができる。従って、図8(b)に示すように、残渣81をエッティングマスクとしてシリコンウェハ6のエッティングが進行し、トレンチ16の内部にコーン状のエッティング残渣82が発生することはない。そのため、素子分離能力の高いトレンチ16を得ることができる。

【0038】さらに、工程3におけるRIEの高周波電力は低いため、シリコンウェハ6に入射されるイオンの衝撃力は小さく、シリコンウェハ6にダメージが生じることはない。そのため、本実施例によれば、図7に示した従来例のようにCDE装置を用いてダメージの回復を図る必要はない。従って、製造設備が大規模になることはなく、工数が増えないためにスループットを向上させることができる。

【0039】また、NF_yにはCが含まれていないため、反応生成物としてSiCが生じることはなく、SiCによってトレンチ16の素子分離特性が劣化する恐れはない。

【0040】工程4（図3(b)参照）；アッシングを行い、レジストマスク13および側壁保護膜15を除去する。最後に、化学薬品を用いたウエット処理でトレンチ16内に付着している反応生成物をクリーニングすると、トレンチ16の製造が完了する。

【0041】このように、本実施例によれば、1つのRIE装置1を用いてエッティング用ガスをCHF_xからNF_yに切り換えるだけで、各絶縁膜11、12のエッティングとシリコンウェハ6のエッティングとが連続して行われ、トレンチ16を形成することができる。

【0042】尚、工程2の各エッティング条件は以下の範囲にすることが好ましい。

①ガス圧力は100～200mTorr(13300～26600mpa)が適当である。この範囲よりも高く

なるとエッティング速度が低下する傾向があり、低くなるとエッティング速度の均一性が低下する傾向がある。

【0043】②高周波電力は1.7～2.5W/cm²が適当である。この範囲よりも高くなると放電の安定性が低下する傾向があり、低くなるとエッティング速度が低下する傾向がある。

【0044】③周波数は380kHz～13.56MHzが適当である。この範囲よりも高くなるとRIE装置が高価になり、低くなると放電の維持が困難と傾向がある。

④ガス流量比；CHF_x/Ar = 1/3～1が適当である。この範囲よりも高くなるとエッティング速度が低下する傾向があり、低くなるとシリコンやレジストに対するエッティング選択性が悪化する傾向がある。

【0045】また、工程3の各エッティング条件は以下の範囲にすることが好ましい。

[1] ガス圧力は15～30mTorr(1995～3990mpa)が適当である。この範囲よりも高くなるとシリコンウェハ6に対するイオンの異方性が確保され難くなっているトレンチ16のスペクト比が低下する傾向があり、低くなると放電の維持が困難となる傾向がある。

【0046】[2] 高周波電力は0.1～0.2W/cm²が適当である。この範囲よりも高くなるとシリコンウェハ6のダメージが大きくなる傾向があり、低くなるとエッティング速度が低下する傾向がある。

【0047】[3] 周波数は13.56MHzが適当である。この値よりも高くなるとRIE装置が高価になり、低くなるとシリコンウェハ6のダメージが大きくなる傾向がある。

【0048】[4] ガス流量比；NF_y/Ar = 1/10～1/5が適当である。この範囲よりも高くなるとエッティング速度の均一性が低下する傾向があり、低くなるとエッティング速度が低下する傾向がある。

【0049】次に、RIE装置1を用いて各絶縁膜11、12にシリコンウェハ6と接触するコンタクトホールおよび配線を形成する工程を、図4に従って説明する。

【0050】工程一（図4(a)参照）；上記工程1（図2(a)参照）と同じである。

工程二（図4(b)参照）；RIE装置1でエッティング用ガスとしてCHF_xを用いると共にキャリアガスとしてArを用い、レジストマスク13をエッティングマスクとしてシリコン酸化膜11およびシリコン窒化膜12をエッティングしてシリコンウェハ6と接触するコンタクトホール21を形成する。ここで、エッティング条件は、上記工程2（図2(b)参照）と同じである。このとき、開口部13aおよびコンタクトホール21の内壁には、エッティングによる反応生成物からなる膜が形成される。次に、RIE装置1でエッティング用ガスをNF_yに切り替え、工程2におけるRIE装置によるエッキン

11

グでコンタクトホール21内に露出したシリコンウェハ6の表面に生じたダメージを回復させると共に、コンタクトホール21内に付着している反応生成物をクリーニングする。ここで、エッティング条件は、ガス圧力：20 mTorr (260 mPa)、高周波電力：0.15 W/cm²、周波数：13.56 MHz、ガス流量比：NF₃ : Ar = 1 : 5である。続いて、アッシングを行い、レジストマスク13を除去する。

【0051】このとき、RIE装置によるエッティングは異方的に行われるため、コンタクトホール21の側壁がエッティングされることではなく、コンタクトホール21の断面形状は良好に保たれる。

【0052】工程三（図4(c)参照）；CVD法またはスパッタ法を用いてコンタクトホール21内に導電材料（金属、多結晶シリコンなど）を埋め込み、シリコン窒化膜12上に形成された導電材料を所望の形状にパターニングして配線22を形成する。

【0053】このように、本実施例によれば、1つのRIE装置1を用いてエッティング用ガスをCHF₃からNF₃に切り換えるだけで、各絶縁膜11、12に対するコンタクトホール21の形成と、コンタクトホール21の形成時にシリコンウェハ6の表面に生じたダメージの回復とを連続して行うことができる。

【0054】また、シリコンウェハ6の表面に生じたダメージを回復させる際のエッティングにおいてコンタクトホール21の断面形状は良好に保たれているため、コンタクトホール21内に導電材料を確実に埋め込むことができる。

【0055】図5に、シリコンウェハ6の全面にコンタクトホール21を形成し、そのコンタクトホール21のサイズを変えてコンタクト抵抗のシリコンウェハ6内における分布を調べた結果を示す。尚、シリコンウェハ6のサイズは6インチ、コンタクトホール21の平面形状は方形、配線22の材質はアルミ合金である。また、コンタクトホール21の下部には、図3に示すようなトレチ16（深さ：15 nm）が形成されており、そのトレチ16内にもアルミ合金が埋め込まれて配線22が形成されている。

【0056】図5(a)に、本実施例（コンタクトホール21の形成時にシリコンウェハ6の表面に生じたダメージを、RIE装置1でNF₃を用いて回復させた場合）の結果を示す。図5(b)に、コンタクトホール21の形成時にシリコンウェハ6の表面に生じたダメージを、図7(c)に示すCDE装置でCF₄を用いて回復させた場合の結果を示す。

【0057】本実施例では、CDE装置を用いた場合に比べて、シリコンウェハ6内におけるコンタクト抵抗の分布バラツキを小さくすることができる。その理由としては、(1) RIE装置によるエッティングではコンタクトホール21の断面形状が良好に保たれる、(2) RIE装

12

置のエッティング制御性がCDE装置のそれに比べて高い、(3) NF₃にはCが含まれていないため、反応生成物としてSiCが生じることはなく、SiCによってコンタクトホール21のコンタクト抵抗が増大する恐はない、ことなどがあげられる。

【0058】このように、本実施例によれば、シリコンウェハ6内におけるコンタクト抵抗の分布バラツキの小さなコンタクトホール21および配線22を得ることができる。

【0059】尚、上記各実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) CHF₃を他のF系のエッティング用ガス(CF₄、+H₂、C₂F₆、C₃F₈、C₄F₈、CF₄、CH₂F₂、CH₃Fなど)に置き代える。

【0060】(2) NF₃を他のF系のエッティング用ガス(CF₄、SF₆、SiF₄、BF₃、CB₂F₅、XeF₆など)に置き代える。

(3) Arを他のキャリアガス(He、Ne、N₂、O₂など)に置き代える。

【0061】(4) シリコン酸化膜11またはシリコン窒化膜12のいずれか一方を省く。以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0062】(イ) 請求項2～8のいずれか1項に記載の半導体装置の製造方法において、エッティング用ガスはフッ素系のガスである。この場合、フッ素系のガスはシリコンとの反応性が高いため、効率的なエッティングを行うことができる。

【0063】(ロ) 請求項2～8のいずれか1項に記載の半導体装置の製造方法において、絶縁膜のエッティング用ガスは、CHF₃、CF₄、+H₂、C₂F₆、C₃F₈、C₄F₈、CF₄、CH₂F₂、CH₃Fからなるグループから選択された一つの材料からなる。

【0064】この場合、フッ素系のガスはシリコンとの反応性が高いため、効率的なエッティングを行うことができる。また、炭素を含んだガスを用いるとエッティングの異方性が高くなり、正確な加工を行うことができる。

【0065】(ハ) 請求項2～8のいずれか1項に記載の半導体装置の製造方法において、シリコン層のエッティング用ガスまたはダメージ回復用のエッティング用ガスは、NF₃、CF₄、SF₆、SiF₄、BF₃、CB₂F₅、XeF₆からなるグループから選択された一つの材料からなる。

【0066】この場合、フッ素系のガスはシリコンとの反応性が高いため、効率的なエッティングを行うことができる。また、上記の材料のうち炭素を含まないガスを用いればSiCの生成を防ぐことができ、SiCによるデバイス特性の劣化を回避することができる。

50

13

【0067】ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a) シリコン層とは、シリコンウェハだけでなく、単結晶シリコン薄膜、多結晶シリコン薄膜、非晶質シリコン薄膜をも含むものとする。

【0068】(b) 絶縁膜とは、少なくともシリコン酸化膜またはシリコン窒化膜からなるものとする。

【0069】

【発明の効果】

1) ダメージの少ないエッチングを行うことが可能な半導体装置の製造方法を提供することができる。

【0070】2) 絶縁膜のエッチングとシリコン層のエッチングとを高いスループットで行うことが可能な半導体装置の製造方法を提供することができる。

3) 絶縁膜のエッチングとシリコン層のエッチングとを高いスループットで行うと共に、シリコン層に対してダメージの少ないエッチングを行うことが可能な半導体装置の製造方法を提供することができる。

【0071】4) コンタクトホールの形成とシリコン層のダメージの回復とを高いスループットで行うことが可能な半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

14

* 【図1】一実施例で用いるRIE装置の模式図。

【図2】一実施例の製造工程を説明するための概略断面図。

【図3】一実施例の製造工程を説明するための概略断面図。

【図4】一実施例の製造工程を説明するための概略断面図。

【図5】一実施例の作用を説明するための特性図。

【図6】従来例で用いられるエッティング装置の模式図。

【図7】従来例の製造工程を説明するための概略断面図。

【図8】従来例および一実施例の製造工程を説明するための概略断面図。

【符号の説明】

6…シリコン層としてのシリコンウェハ

11…シリコン酸化膜

12…シリコン窒化膜

13…フォトレジスト膜としてのレジストマスク

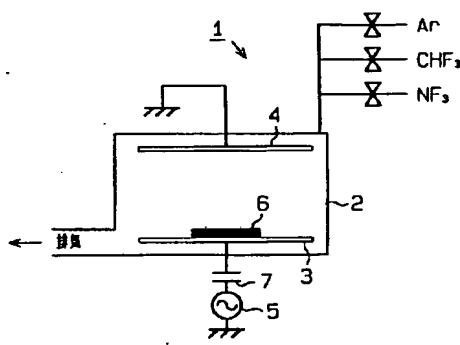
13a, 14…開口部

15…反応生成物

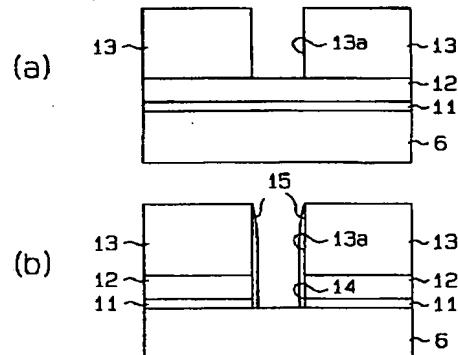
16…トレンチ

21…コンタクトホール

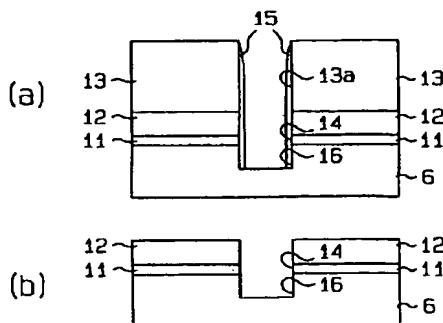
【図1】



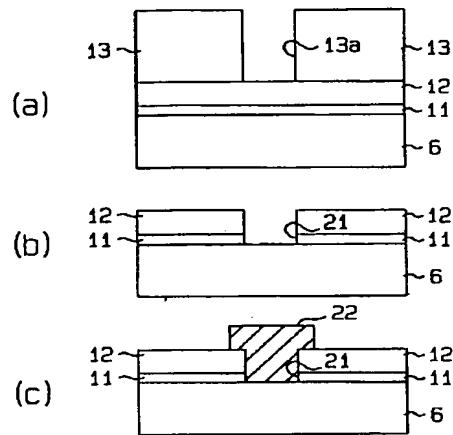
【図2】



【図3】



【図4】

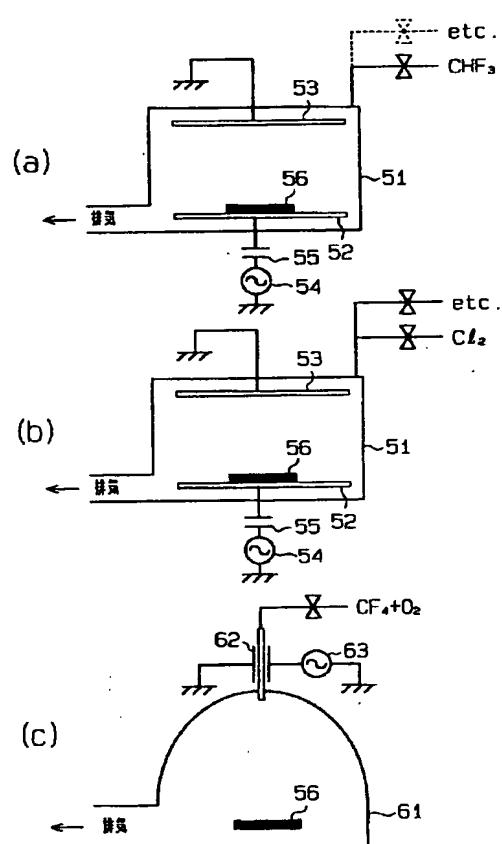


【図5】

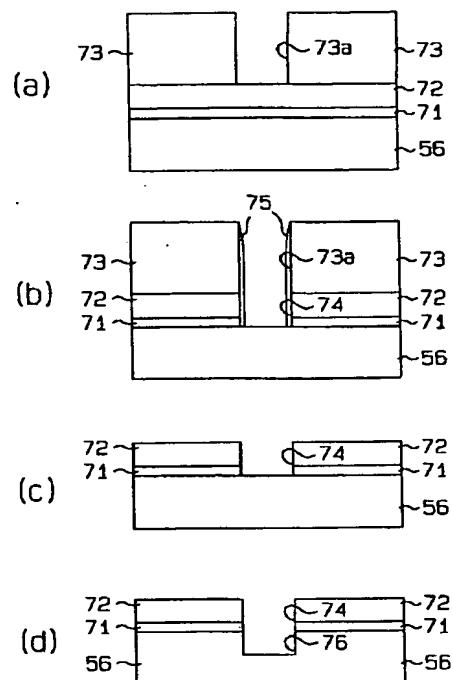
ホールサイズ(μm)		0.6×0.6	0.6×0.8	0.8×0.8	1.0×1.0	2.0×2.0	4.0×4.0
(a) コントラクト 被覆 (□)	平均	39.65	35.28	32.19	27.73	17.27	8.243
	標準偏差	1.645	1.357	1.151	0.9797	0.5449	0.2585
	最大値	44.61	39.04	35.42	30.73	18.9	9.078
	最小値	37.72	33.53	30.84	26.65	16.67	7.941

ホールサイズ(μm)		0.6×0.6	0.6×0.8	0.8×0.8	1.0×1.0	2.0×2.0	4.0×4.0
(b) コントラクト 被覆 (□)	平均	40.8	36.01	32.8	28.02	17.37	8.285
	標準偏差	2.602	2.128	1.685	1.227	0.5866	0.2706
	最大値	48.39	41.62	37.74	31.59	19.16	9.14
	最小値	38.33	33.78	31.31	26.75	16.74	7.994

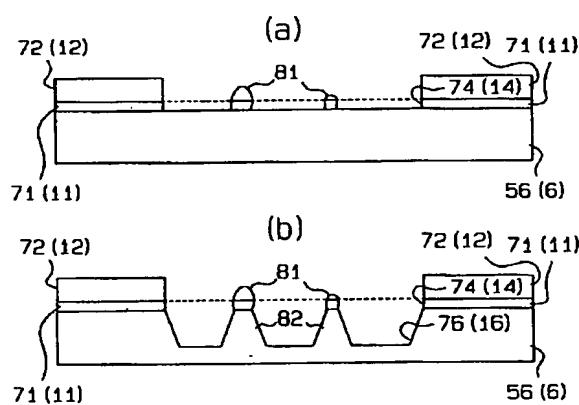
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁶

H 01 L 21/76

識別記号

庁内整理番号

F I

技術表示箇所